

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-177102

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.⁶

H 0 1 L 29/786

識別記号

F I

H 0 1 L 29/78

6 1 6 T

6 1 8 C

審査請求 未請求 請求項の数 8 F D (全 9 頁)

(21) 出願番号 特願平9-356237

(22) 出願日 平成9年(1997)12月8日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 中嶋 節男

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 福永 健司

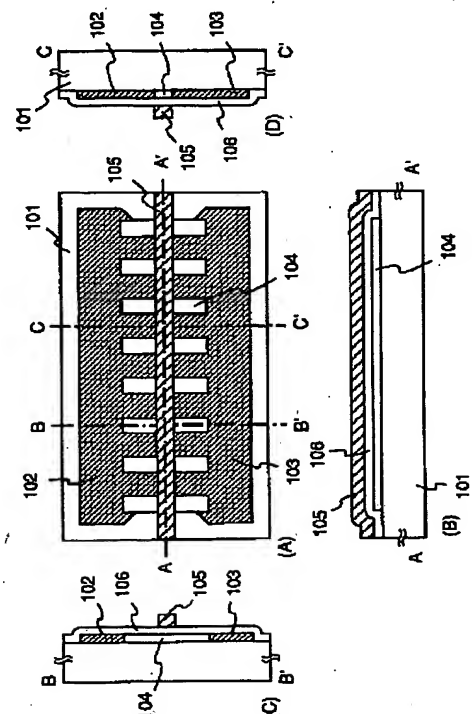
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 信頼性の高い半導体装置を提供する。

【解決手段】 活性層に一对の不純物領域102、103を形成する際にマスクによって串型形状の真性または実質的に真性な半導体領域104を形成する。この領域104は実効的にチャネル領域として機能する箇所とチャネルが形成されずにヒートシンクとして機能する箇所とで構成される。即ち、チャネル形成領域と同一材料でヒートシンクを形成することで放熱効果が向上する。



BEST AVAILABLE COPY

(2)

【特許請求の範囲】

【請求項1】薄膜半導体を活性層とする複数の薄膜トランジスタで形成された半導体回路を構成に含む半導体装置であって、

前記活性層はN型またはP型を呈する一対の不純物領域と当該一対の不純物領域に挟まれた真性または実質的に真性な領域とを含み、

前記真性または実質的に真性な領域は第1の領域と当該第1の領域から突出して設けられた第2の領域とで構成され、前記第1の領域のみゲイト電極と重なっていることを特徴とする半導体装置。

【請求項2】請求項1において、前記第1の領域はゲイト電極をマスクとして自己整合的に形成され、前記第2の領域はフォトリソグラフィにより意図的に形成されていることを特徴とする半導体装置。

【請求項3】薄膜半導体を活性層とする複数の薄膜トランジスタで形成された半導体回路を構成に含む半導体装置であって、

前記活性層はN型またはP型を呈する一対の不純物領域と当該一対の不純物領域に挟まれた真性または実質的に真性な領域とを含み、

前記真性または実質的に真性な領域はチャネル方向とほぼ垂直な幹部とチャネル方向とほぼ平行な枝部を有する串型形状に形成され、当該幹部のみゲイト電極と重なっていることを特徴とする半導体装置。

【請求項4】請求項1乃至請求項3において、前記薄膜半導体とは珪素または珪素を含む化合物半導体であることを特徴とする半導体装置。

【請求項5】薄膜半導体をパターン形成して活性層を形成する工程と、

前記活性層の上方に絶縁膜を介してゲイト電極を形成する工程と、

前記ゲイト電極と交差して当該ゲイト電極の長手方向と直角に1本乃至複数本の島状マスクパターンを形成する工程と、

前記ゲイト電極及びマスクパターンをマスクとして前記活性層中にN型またはP型を呈する不純物を添加する工程と、

を含むことを特徴とする半導体装置の作製方法。

【請求項6】ゲイト電極を形成する工程と、

前記ゲイト電極の上方に絶縁膜を介して薄膜半導体である活性層を形成する工程と、

前記活性層の上方に串型形状の絶縁膜パターンを形成する工程と、

前記絶縁膜パターンをマスクとして前記活性層中にN型またはP型を呈する不純物を添加する工程と、

を含むことを特徴とする半導体装置の作製方法。

【請求項7】請求項5または請求項6において、前記N型またはP型を呈する不純物の添加工程により形成される一対の不純物領域が櫛歯形状を示すことを特徴とする

半導体装置の作製方法。

【請求項8】請求項5または請求項6において、前記N型またはP型を呈する不純物の添加工程でマスクが設けられた領域の下には串型形状の真性または実質的に真性な領域が形成されることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本願発明は薄膜半導体を用いた薄膜素子、特に薄膜トランジスタ（以下、TFTと略す）の構成に関する。また、その薄膜トランジスタで構成した電気光学装置や半導体回路等の半導体装置の構成に関する。

【0002】

【従来の技術】近年、液晶ディスプレイ（LCD）の普及に伴ってアクティブマトリクス型液晶表示装置（以下、AMLCDと略す）の高性能化が求められている。しかしながら、高性能化を求める上で様々な問題点が挙げられている。

【0003】高性能化の一つとして動作速度の向上が挙げられるが、動作速度が向上するとそれに追従してTFTの自己発熱（セルフヒーティング）が大きくなることが知られている。この事はICでも同様に問題となっている。

【0004】特に、大電流を流す必要のあるドライバー回路（バッファ、アナログスイッチ等）の様に非常にチャネル幅（W）の大きいTFTで構成される回路では個々のTFTの自己発熱が大きく、回路全体の温度が異常に高くなってしまふ。場合によっては数百℃まで上がってしまうという報告もある。

【0005】この様な自己発熱はTFTの特性変化や劣化を招き、信頼性の高い製品の実現が困難なものとなる。そこで、従来はチャネル幅の大きいTFTの自己発熱を抑制するために次の様な技術が開示されている。

【0006】ここで図2（A）はTFTの活性層（薄膜半導体層）を拡大した模式図であり、図2（A）は上面図、図2（B）、（C）、（D）はそれぞれ図2（A）をA-A'、B-B'、C-C'で切った断面図である。

【0007】図2（A）において、201は絶縁表面を有する基板、202、203はそれぞれ半導体薄膜である活性層に対してN型またはP型の不純物を添加して形成された一対の不純物領域である。なお、一対の不純物領域202、203はソース領域またはドレイン領域として機能する。

【0008】また、一対の不純物領域202、203はゲイト電極204をマスクとして自己整合的に形成される。その時、ゲイト電極204の下には不純物が添加されず、チャネル形成領域205が形成される（図2（B）、（D））。

(3)

3

【0009】この時、図2に示す従来例の特徴は、活性層をパターン形成する際に活性層内部に開口部206が設けられ、チャンネル形成領域が複数に分割されている点にある。即ち、チャンネル形成領域が複数に分割され、実質的に複数のTFTが並列に配置された構成となる。

【0010】そして、この開口部206がチャンネル形成領域205で発生したジュール熱を逃がすためのヒートシンクとして機能する。即ち、チャンネル形成領域の自己発熱によって発生するジュール熱を効率良く逃がすことで、TFTの発熱量を抑制し、信頼性を確保するという技術が提案されている。

【0011】

【発明が解決しようとする課題】図2に示した様な構成の従来の技術では、ヒートシンクとして用いる領域がゲイト絶縁膜207で構成されている。つまり開口部206はゲイト絶縁膜207が覆われているため複数のチャンネル形成領域205はゲイト絶縁膜207によって絶縁分離される。

【0012】従って、チャンネル形成領域205で発生したジュール熱はゲイト絶縁膜（代表的には酸化珪素膜）207に逃がされることになる。しかしながら、珪素（シリコン）の熱伝導率（約150W/mK）に対して酸化珪素の熱伝導率（約1.4W/mK）は二桁程度も小さいため、熱放出の効率はあまり高いものではない。そのため、高い放熱効果を得ることができないという問題がある。

【0013】そこで本願発明では、上記従来技術よりもさらに高い放熱効果を得る有するヒートシンクを設けたTFTを作製し、信頼性の高い半導体装置を実現することを課題とする。

【0014】

【課題を解決するための手段】本明細書で開示する発明の構成は、薄膜半導体を活性層とする複数の薄膜トランジスタで形成された半導体回路を構成に含む半導体装置であって、前記活性層はN型またはP型を呈する一対の不純物領域と当該一対の不純物領域に挟まれた真性または実質的に真性な領域とを含み、前記真性または実質的に真性な領域は第1の領域と当該第1の領域から突出して設けられた第2の領域とで構成され、前記第1の領域のみゲイト電極と重なっていることを特徴とする。

【0015】本願発明の特徴は上記構成において、前記第1の領域はゲイト電極をマスクとして自己整合的に形成され、前記第2の領域はフォトリソグラフィにより意図的に形成されている点にある。

【0016】また、他の発明の構成は、薄膜半導体を活性層とする複数の薄膜トランジスタで形成された半導体回路を構成に含む半導体装置であって、前記活性層はN型またはP型を呈する一対の不純物領域と当該一対の不純物領域に挟まれた真性または実質的に真性な領域とを含み、前記真性または実質的に真性な領域はチャンネル方向とほぼ垂直な幹部とチャンネル方向とほぼ平行な枝部を

4

有する串型形状に形成され、当該幹部のみゲイト電極と重なっていることを特徴とする。

【0017】なお、上記二つの構成において、前記薄膜半導体としては珪素（シリコン）または珪素を含む化合物半導体を用いることができる。

【0018】また、他の発明の構成は、薄膜半導体をパターン形成して活性層を形成する工程と、前記活性層の上方に絶縁膜を介してゲイト電極を形成する工程と、前記ゲイト電極と交差して当該ゲイト電極の長手方向と直角に1本乃至複数本の島状マスクパターンを形成する工程と、前記ゲイト電極及びマスクパターンをマスクとして前記活性層中にN型またはP型を呈する不純物を添加する工程と、を含むことを特徴とする。

【0019】また、他の発明の構成は、ゲイト電極を形成する工程と、前記ゲイト電極の上方に絶縁膜を介して薄膜半導体でなる活性層を形成する工程と、前記活性層の上方に串型形状の絶縁膜パターンを形成する工程と、前記絶縁膜パターンをマスクとして前記活性層中にN型またはP型を呈する不純物を添加する工程と、を含むことを特徴とする。

【0020】なお、上記構成では前記N型またはP型を呈する不純物の添加工程により形成される一対の不純物領域は櫛歯形状を示し、歯に相当する部分が向かい合った状態で配置される。即ち、前記N型またはP型を呈する不純物の添加工程でマスクが設けられた領域の下には串型形状の真性または実質的に真性な領域が形成されることになる。

【0021】以上の様な構成でなる本願発明の構成について、以下に記載する実施例でもって詳細な説明を行うこととする。

【0022】

【発明の実施の形態】本願発明の実施の形態について図1を用いて説明する。図1（A）に示すのは本願発明を利用した活性層の上面図、図1（B）、（C）、（D）はそれぞれ図1（A）をA-A'、B-B'、C-C'で切った断面図である。

【0023】図1（A）において、101は絶縁表面を有する基板、102、103はそれぞれ半導体薄膜でなる活性層に対してN型またはP型の不純物を添加して形成された一対の不純物領域（ソースまたはドレイン領域）である。

【0024】そして、一対の不純物領域102、103で挟まれて真性または実質的に真性な半導体領域104が形成されている。なお、真性な半導体領域とは、一導電性を呈する不純物が全く添加されていない完全に中性な半導体領域を意味する。

【0025】また、実質的に真性な半導体領域とは、しきい値電圧の制御が可能な範囲（N型またはP型を呈する不純物濃度が 1×10^{17} atoms/cm³以下、好ましくは 1×10^{16} atoms/cm³以下）でN型またはP型を呈する領域

(4)

5

または導電型を意図的に相殺した領域を意味する。

【0026】この真性または実質的に真性な領域104のみに注目して図3に示す。図3に示す様に、領域104はチャンネル方向とほぼ垂直な幹部（以下、第1の領域と呼ぶ）104aとチャンネル方向とほぼ平行な枝部（以下、第2の領域と呼ぶ）104bとを有する串型形状に形成される（そのため一对の不純物領域102、103は櫛歯形状となる）。

【0027】また、第1の領域104aは図1(A)においてゲイト電極105の真下にゲイト絶縁膜106を介して存在する領域で、ソース/ドレイン領域を形成する際にゲイト電極をマスクとすることで自己整合的に形成される。

【0028】一方、第2の領域104bは第1の領域104aから突出して（好ましくはほぼ垂直に）設けられ、フォトリソグラフィにより意図的に形成される。

【0029】また、図1(A)からも明らかな様に、第1の領域104aのみがゲイト電極105と重なる様な配置となるため、TFT動作時に形成されるチャンネル領域は第1の領域104aのみに形成される。そういった意味で第1の領域104aはチャンネル形成領域と呼ぶこともできる。

【0030】一方で第2の領域104bはゲイト電極105と重ならないため常に真性または実質的に真性な半導体領域となる。即ち、この部分だけは高抵抗であるためソース/ドレインとしても機能せず、チャンネルも形成されない。

【0031】その代わり本願発明において第2の領域104bは、チャンネル形成領域で発生するジュール熱を逃がすヒートシンクとしての役割と、チャンネル形成領域を実質的に複数に分割する役割とを持っている。

【0032】即ち、第2の領域104bを設けることでチャンネル形成領域が複数に分割され、それぞれのチャンネル形成領域で発生したジュール熱を第2の領域へと逃がす（結果的にはゲイト電極またはソース/ドレイン電極へと逃がす）ことが可能となる。その結果、活性層へのジュール熱の蓄積（特に中央付近に蓄積しやすい）を効果的に防ぐことが可能である。

【0033】従来例では活性層に開口部を設けて放熱を行う場合を例に挙げたが、それでは熱伝導率の差が大きすぎて効率の良い放熱効果が得られない。その点、本願発明の構成ではヒートシンクはチャンネル形成領域と同じ半導体層で形成されるので、熱伝導率の差は無視でき、非常に効率良く放熱が行われる。

【0034】ここで図4を参照してチャンネル長とチャンネル幅を定義する。図4は図1(A)に示した活性層に注目した図である。

【0035】本明細書中では、図4において一对の不純物領域102と103とを結ぶ最短距離（ゲイト電極幅に相当する）をチャンネル長（L）と定義する（このチャ

6

ネル長に沿った方向をチャンネル方向と呼ぶ）。また、それと直角な方向のチャンネル形成領域の幅をチャンネル幅（W）と定義する。

【0036】ところでゲイト電極の直下は全体的にチャンネルが形成されるためチャンネル形成領域は第1の領域（幹部）104aとなる。従って、上述の定義を踏まえるとチャンネル領域（キャリアの移動経路と考える）はチャンネル長がL、チャンネル幅がWとなる。

【0037】しかし実際にはキャリア是一对の不純物領域102、103が最も近接した領域を優先的に移動すると考えられるので、有効に働く実効チャンネル領域は点線で囲まれた領域401となる。即ち、ヒートシンクとして機能する枝部104bに挟まれたチャンネル形成領域は、殆どキャリアの移動には寄与せず、ヒートシンクの一部としての機能が主であると言える。

【0038】従って、チャンネル形成領域として考えればチャンネル幅はWであるが、実効チャンネル幅（実際にキャリアの移動に寄与するチャンネル幅）は実効チャンネル領域401のチャンネル幅の和として表される。

【0039】以上の様に、本願発明を利用したTFTは活性層に串型形状の真性または実質的に真性な領域を有し、且つ、その一部はキャリアの移動に寄与するチャンネル形成領域として利用され、他の部分が発生したジュール熱を放出するヒートシンクとして利用される点に特徴がある。

【0040】最も重要なことは、ヒートシンクとして利用する領域がチャンネル形成領域と同じ半導体層で形成されている点であり、熱伝導率の差をなくして放熱効果を向上させた点にある。

【0041】次に、本願発明を実施するための具体的な実施例について、以下に記載する。

【0042】

【実施例】【実施例1】本願発明を利用したTFTの作製工程について図5を用いて説明する。なお、図5では二つの切り口から見た断面について説明する。即ち、図5(A)～(E)は図1(A)をB-B'で切った切り口であり、図5(A')～(E')は図1(A)をC-C'で切った切り口である。

【0043】図5(A)、(A')において、501は絶縁表面を有する基板であり、下地膜を設けたガラス基板、シリコン基板、ガラスセラミクス基板等を用いることができる。また、石英基板ならば下地膜を特に設けなくても構わない。

【0044】次に、基板501の上に結晶性珪素膜である活性層502を形成する。結晶性珪素膜としては、単結晶薄膜、多結晶薄膜のどちらでも用いることができる。単結晶薄膜を用いるならば公知のSIMOXやUNIBOND等のSOI基板を用いれば良い。

【0045】また、多結晶薄膜を用いるならば公知の手段で得られる多結晶薄膜であればどのようなプロセスで作

(5)

7
製された膜であっても良い。通常は非晶質珪素膜をレーザ処理またはフアーネスアニール処理によって結晶化する。また、珪素膜以外にも $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$) で示される様な珪素を含む化合物半導体を用いても良い。

【0046】次に、活性層502を覆って120nm厚のゲイト絶縁膜503を形成し、その上に金属膜または導電性を有する珪素膜でゲイト電極504を形成する。(図5(B)、(B'))

【0047】ゲイト電極504を形成したら、次にゲイト電極504と交差してゲイト電極504の長手方向と直角に(チャンネル方向とほぼ平行に)1本乃至複数本のレジストマスク505を形成する。このレジストマスク505は島状にパターン形成されて配置される。

【0048】そして、その状態でゲイト電極504及びレジストマスク505をマスクとして活性層502中にN型またはP型を呈する不純物を添加し、一対の不純物領域506、507を形成する。なお、N型にするならリンまたは砒素を添加し、P型にするならボロンを添加すれば良い。

【0049】この時、図5(C)に示す様に意図的にレジストマスク505が設けられた部分はゲイト電極の幅よりも広い幅で真性または実質的に真性な領域508が形成される。一方、図5(C')に示す様にレジストマスク505が配置されない部分では、ゲイト電極504のみをマスクとして自己整合的に真性または実質的に真性な領域508が形成されることになる。

【0050】なお、図5(C)に示す真性または実質的に真性な領域508のうち、ゲイト電極の直下は第1の領域(幹部)であり、それ以外の領域は第2の領域(枝部)となる。そして、この切り口で見える領域508は実質的に全てがヒートシンクとして機能する。

【0051】また、図5(C')に示す真性または実質的に真性な領域508は第1の領域であり、全て実効チャンネル領域として機能する。

【0052】こうして一対の不純物領域(ソース/ドレイン領域)と串型形状の真性または実質的に真性な半導体領域を形成したら、不純物の活性化を行い、層間絶縁膜509を形成する。(図5(D)、(D'))

【0053】次に、コンタクトホールを開けてソースまたはドレイン電極510、511電極を形成し、最後に水素化を行って図5(E)、(E')に示す様な構造のTFTが完成する。

【0054】なお、本実施例で最も重要なことは図1を用いて説明した様な構成の活性層を用いることであり、それ以外の構造や構成に関しては本実施例に何ら限定されるものではない。

【0055】従って、本願発明で示す活性層の構成が実施されるのであれば、他の構造のTFTや他の作製方法で作製されるTFTにおいても本願発明を利用することは十分に可能である。

8

【0056】例えば、ソース/ドレイン領域とチャンネル形成領域との間に低濃度不純物領域(LDD領域)やオフセット領域を設ける様な構造であっても、基本的な構成は変わらないので本願発明を実施する妨げにはならない。

【0057】〔実施例2〕実施例1ではN型のTFT(NTFT)またはP型のTFT(PTFT)について説明したが、両者を相補的に組み合わせるCMOS回路を構成することは有効である。特に、アクティブマトリクス型LCDにおいてドライバ回路やその他の信号処理回路はCMOS回路で構成することが望ましい。

【0058】本願発明の効果はNTFTにもPTFTでも同様に得られるのでCMOS回路で構成された半導体回路に適用することで、信頼性の高い半導体回路を実現することが可能である。

【0059】また、NTFTのみに適用したり、PTFTのみに適用するといった使い分けも可能であり、回路としての用途に応じて自由に組み合わせることができる。

20 【0060】さらに、アクティブマトリクス型LCDでは同一基板上に複数の回路が形成されるが、全てがジュール熱を問題としているわけでない。実際には大電流を流す必要のある回路(バッファ回路、アナログスイッチ回路、レベルシフト回路等)がジュール熱に大きく影響される。

【0061】従って、本願発明をその様な深刻な大電流を流す必要のある(ジュール熱を発生しやすい)回路にのみ適用するといった構成でも良い。

30 【0062】〔実施例3〕実施例1、2では本願発明をトップゲイト型TFT(代表的にはプレーナ型TFT)に適用する例を示したが、本願発明はボトムゲイト型TFT(代表的には逆スタガ型TFTに適用することも可能である。

【0063】本願発明を逆スタガ型TFTに適用した場合の例について図6を用いて説明する。図6(A)に示すのは本願発明を利用した活性層の上面図、図6

(B)、(C)、(D)はそれぞれ図6(A)をA-A'、B-B'、C-C'で切った断面図である。

40 【0064】図6(A)において、601は絶縁表面を有する基板、602、603はそれぞれ半導体薄膜である活性層に対してN型またはP型の不純物を添加して形成された一対の不純物領域(ソースまたはドレイン領域)である。また、604は一対の不純物領域を形成する際にマスクとした絶縁膜パターンである。

50 【0065】逆スタガ型TFTの場合、基板601上にゲイト電極605、ゲイト絶縁膜606と積層され、その上に薄膜半導体である活性層が形成される。そのため、本願発明を実施するためには絶縁膜(酸化珪素膜または窒化珪素膜)を串型形状にパターン形成して、それをマスクとしてN型またはP型を呈する不純物を添加す

(6)

9

ることになる。

【0066】串型形状の絶縁膜パターン604をマスクとして不純物添加を行った結果、その下には串型形状の真性または実質的に真性な領域607が形成される。この領域607もゲイト電極605と重なる幹部にチャンネルが形成され、その他の部分(枝部)はヒートシンクとして機能する。その他の詳細な説明は実施例1で説明したのでここでは省略する。

【0067】本実施例で説明する様に、串型形状の絶縁膜パターンを用いれば逆スタガ型TFTに本願発明を適用することは容易である。なお、本実施例の場合には実効チャンネル領域を自己整合的に形成できないが、裏面露光技術と組み合わせれば実効チャンネル領域を自己整合的に形成することも可能である。

【0068】次に、本願発明を利用した逆スタガ型TFTの作製工程を図7を用いて説明する。なお、図7でも二つの切り口から見た断面について説明する。即ち、図7(A)～(E)は図6(A)をB-B'で切った切り口であり、図7(A')～(E')は図6(A)をC-C'で切った切り口である。

【0069】まず、絶縁表面を有する基板として酸化珪素膜でなる下地膜を設けたガラス基板701を用意し、その上にタンタル膜でなるゲイト電極702を形成する。そしてその上に窒化珪素膜と酸化珪素膜と積層膜でなるゲイト絶縁膜703を形成する。(図7(A)、(A'))

【0070】次に、非晶質珪素膜($\text{Si}_x\text{Ge}_{1-x}$ 膜でも良い)をレーザー結晶化させて多結晶珪素膜を形成し、活性層704を形成する。(図7(B)、(B'))

【0071】次に、串型形状(図6(A)に示すような形状)の絶縁膜パターン705を酸化珪素膜で形成する。この膜厚は不純物添加の際に十分マスクとして機能しうる程度が必要であり、好ましくは100～200nmとすれば良い。

【0072】こうして絶縁膜パターン705を形成したら、N型またはP型を呈する不純物を添加して一對の不純物領域706、707を形成する。また同時に真性または実質的に真性な半導体領域708が串型形状に形成される。(図7(C)、(C'))

【0073】こうして一對の不純物領域(ソース/ドレイン領域)706、707と串型形状の真性または実質的に真性な半導体領域708を形成したら、不純物の活性化を行い、層間絶縁膜709を形成する。(図7(D)、(D'))

【0074】なお、不純物の添加工程で用いた絶縁膜パターンは真性または実質的に真性な領域708を保護する役目を果たす。特に層間絶縁膜として有機性樹脂膜を用いる場合には有機物汚染を防ぐ上で有効である。

【0075】次に、コンタクトホールを開けてソースまたはドレイン電極710、711電極を形成し、最後に

10

水素化を行って図7(E)、(E')に示す様な構造のTFTが完成する。

【0076】なお、本実施例も実施例1と同様に、TFT構造や構成に関しては本実施例に何ら限定されるものではない。従って、他の構造のボトムゲイト型TFTや他の作製方法で作製される買うボトムゲイト型TFTにおいても本願発明を利用することは十分に可能である。勿論、LDD領域やオフセット領域を設ける様な構造であっても本願発明を実施する妨げにはならない。

【0077】なお、本願発明の逆スタガ型TFTも、実施例2に示した様にCMOS回路を構成したり、部分的に使い分けたりといった構成をとっても良いことは言うまでもない。

【0078】〔実施例4〕実施例1または実施例3では真性または実質的に真性な半導体領域の枝部(第2の領域)を形成するにあたって意図的にレジストマスク等のマスクパターンを設ける必要があるが、ゲイト電極自体を串型形状にして自己整合的に串型形状の真性または実質的に真性な領域を形成することもできる。

【0079】即ち、ゲイト電極を串型形状にパターン形成しておくことでソース/ドレイン領域の形成と真性または実質的に真性な領域の形成とが完全に自己整合的に行われる。

【0080】なお、実施例3のボトムゲイト型TFTの場合、裏面露光を用いることでゲイト電極と同形状のレジストパターンを形成することができるので、それをマスクとすることで自己整合的に不純物添加を行うことができる。

【0081】本実施例の場合、TFT動作時(オン状態にある時)には真性または実質的に真性な半導体領域の全ての領域においてチャンネルが形成される。しかしながら、ソース/ドレイン領域の抵抗に対してチャンネル領域の抵抗は1桁以上高いため、キャリアはソース/ドレイン領域が最も近接した部分を優先的に移動する。

【0082】そのため、結果的には実施例1で説明した様な本願発明の効果を得ることが可能となる。勿論、実施例1に示した構成の様に、第2の領域には全くゲイト電圧が印加しないで完全な抵抗体として機能させた方が発熱量を抑えるという意味で好ましい。

【0083】ただ、本実施例の構成を実施すればゲイト電極のみをマスクとした完全な自己整合プロセスで不純物添加工程を行うことができるので、実施例1よりもパターンニング回数を減らすことができるというメリットが得られる。

【0084】〔実施例5〕実施例1～4では一對の不純物領域の両方(ソース/ドレイン領域の両方)に対して枝部(第2の領域)を設ける構成としているが、どちらか片方のみに枝部が存在する様な形状としても良い。

【0085】特に、ドレイン接合部(チャンネル領域とドレイン領域との接合部)が最も発熱しやすい部分である

(7)

11

ので、ドレイン領域側のみに第2の領域を設け、ソース領域側には第2の領域を設けない構成とすることも可能である。

【0086】また、第2の領域の幅や長さは全て同一である必要はなく、必要に応じて異なるものとすることも可能である。例えば、ジュール熱の蓄積しやすい活性層の中央付近は第2の領域を太くし、活性層の端部に設ける第2の領域は中央付近のものよりも細くするなどとしても良い。

【0087】〔実施例6〕本実施例ではソース／ドレイン電極を形成するためのコンタクトホール801の配置に関して図8を用いて説明する。

【0088】まず、図8(A)は図1に示した構造のTFTにおけるコンタクトホール801の配置例を示している(図1(A)と同じ部分は同一符号で示す)。この場合、不純物領域102は活性層の側端部において全て繋がっており、その部分にコンタクトホール801が形成される。

【0089】また、同様に不純物領域103の方でも側端部側で全て活性層が繋がっており、その部分にコンタクトホール802が形成される。

【0090】この様な構成は、第2の領域803同士の間隔が狭い場合に有効である。この間隔が $3\mu\text{m}$ 以下といった様に狭い場合、その間にはコンタクトホールを設けるだけのマージンがないのでコンタクトホールを形成するためのスペースを確保しなければならない。

【0091】また、第2の領域同士の間隔が $3\mu\text{m}$ 以上(好ましくは $5\mu\text{m}$ 以上)といった様に広い場合、その間にコンタクトホールを設けることが可能となるので図8(B)に示す様な構成が可能となる。

【0092】図8(B)に示す構造の場合、不純物領域804、805は複数本の第2の領域806によって完全に分割され、それぞれ複数のソース領域(またはドレイン領域)として機能する。

【0093】そして、コンタクトホール807、808は複数に分割された不純物領域804、805の個々の領域内に配置され、実質的に複数のTFTが直列に接続された構成を実現する。

【0094】この様な構成では第2の領域806のヒートシンクとしての機能が有効に利用できるため、放熱効果が高いという利点が得られる。

【0095】〔実施例7〕実施例1～6に示した本願発明の構成を有するTFTを利用して回路を構成することで様々な半導体回路を構成することができる。そして、その様な回路を同一基板上に一体形成することでアクティブマトリクス型LCDに代表される電気光学装置を作製することが可能である。

【0096】また、他の電気光学装置としてはEL表示装置やイメージセンサといったスイッチング素子として

12

TFTを用いる様な電気光学装置に対して本願発明を利用することは有効である。

【0097】また、動作速度の速いTFTで高周波回路やプロセッサ回路などの半導体回路を作製する場合においても、本願発明の構成を有するTFTを利用することは有効である。

【0098】これらの電気光学装置や半導体回路(これらはまとめて半導体装置に含まれる)を作製する際に本願発明の構成を有するTFTを用いることで回路全体の熱劣化が小さくなり、信頼性(耐久性)の高い半導体装置を実現できる。

【0099】〔実施例8〕実施例7に示した様な電気光学装置及び半導体回路は様々な電子機器に組み込むことが可能である。

【0100】液晶表示装置やEL表示装置はパーソナルコンピュータ、携帯端末機器(モバイルコンピュータ、携帯電話等)、プロジェクター表示装置、デジタル(ビデオ)カメラなどの表示ディスプレイとして利用することができる。

【0101】また、イメージセンサはスキャナ、デジタル(ビデオ)カメラ等の撮像部品として利用することができる。

【0102】また、高周波回路やプロセッサ回路などの半導体回路はパーソナルコンピュータや日常家電製品等のコンピュータ制御機能を有する電子機器に利用することができる。

【0103】この様に、薄膜半導体を利用して形成されたTFTでもって構成される半導体装置を内部に組み込んで動作する電子機器ならば、あらゆる電子機器に対して本願発明を利用することが可能である。

【0104】

【発明の効果】本願発明を利用することで、TFT動作に伴うジュール熱の発生に対して効果的な放熱対策が施され、熱の蓄積によって生じるTFTの熱劣化を防ぐことができる。その結果、自己発熱に強い信頼性の高い回路及びその様な回路を構成として含む信頼性の高い電子機器を実現できる。

【図面の簡単な説明】

【図1】 活性層の構成を示す図。

【図2】 従来の活性層の構成を示す図。

【図3】 真性または実質的に真性な領域の構成を示す図。

【図4】 チャネル長及びチャネル幅の定義を説明するための図。

【図5】 TFTの作製工程を示す図。

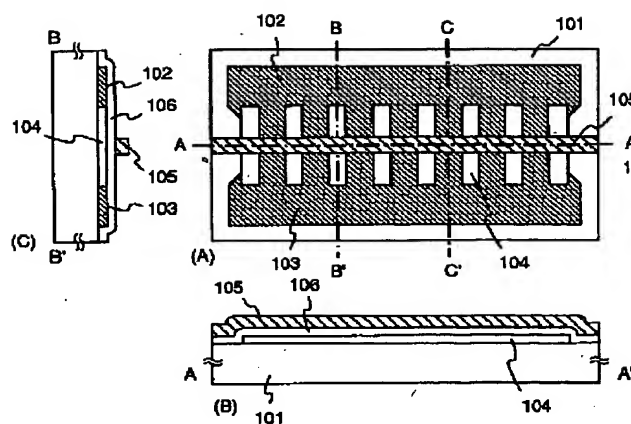
【図6】 活性層の構成を示す図。

【図7】 TFTの作製工程を示す図。

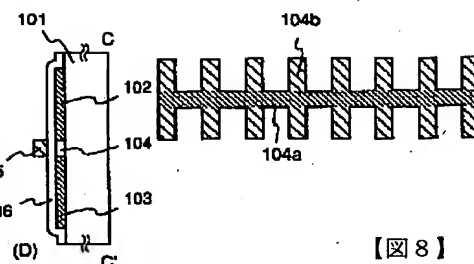
【図8】 コンタクトホールの配置を示す図。

(8)

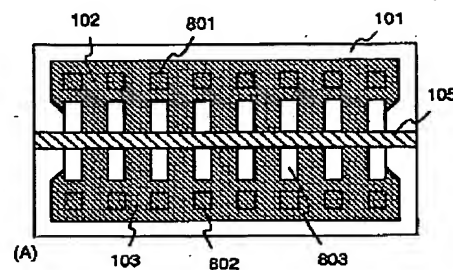
【図1】



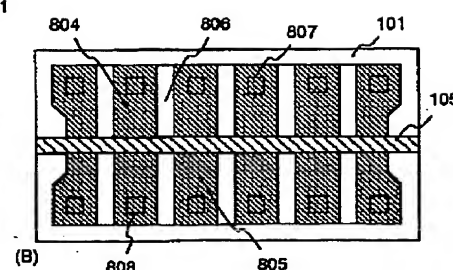
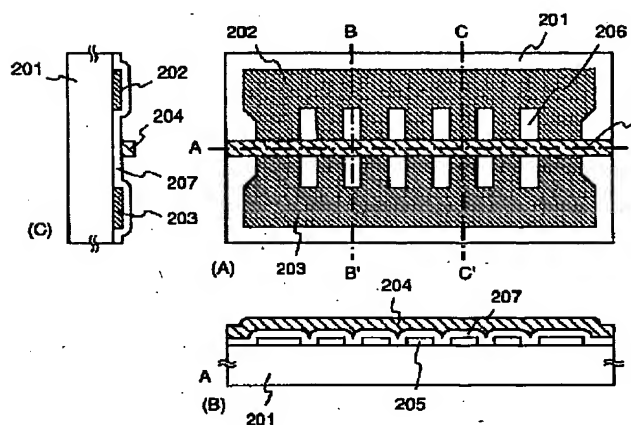
【図3】



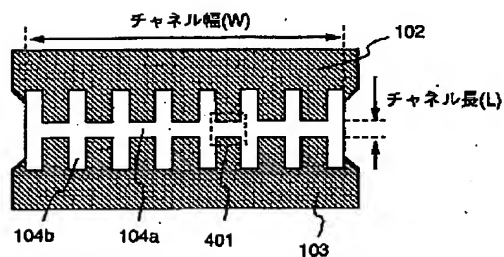
【図8】



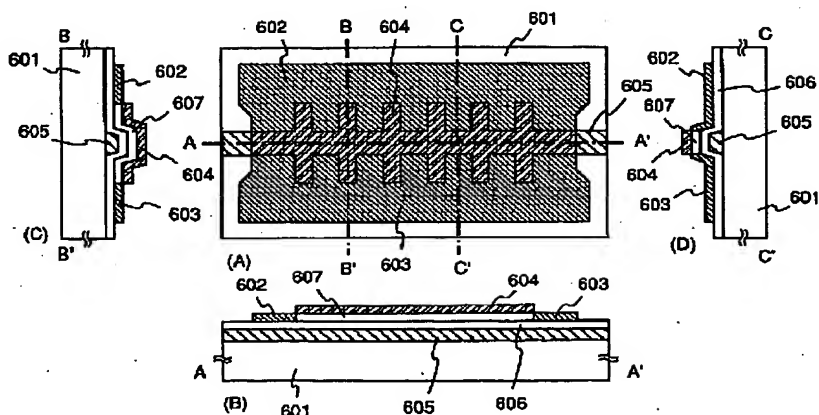
【図2】



【図4】

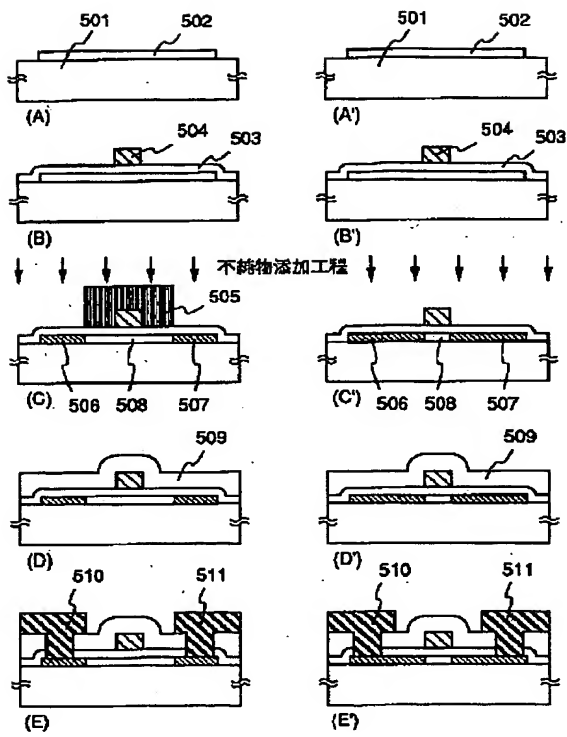


【図6】



(9)

【図5】



【図7】

